

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-299164

(43)Date of publication of application : 06.12.1988

(51)Int.Cl.

H01L 29/48  
H01L 29/80  
H01L 29/91

(21)Application number : 62-131131

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.05.1987

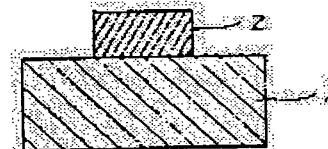
(72)Inventor : UCHIDA YOKO  
TAKATANI SHINICHIRO

## (54) SCHOTTKY BARRIER SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To manufacture a semiconductor device having large operation margin and high reproducibility by forming Schottky-junction using a compound semiconductor having similar surface structure to a semiconductor interior to form electrodes having high Schottky barrier.

CONSTITUTION: An N-type GaAs substrate 1 is conveyed into a vacuum unit, and a substrate temperature is raised to approx. 650° C while irradiating it with an As beam. A reflecting high energy-electron diffraction method (RHEED) pattern exhibits (1 × 1) structure by this process. LaB6 is deposited while holding it at the substrate temperature exhibiting the (1 × 1) structure. Then, an electrode pattern is formed by using a photoresist film, and with the photoresist film as a mask a Schottky electrode 2 is formed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-299164

⑬ Int.Cl.

H 01 L

29/48

29/80

29/91

識別記号

庁内整理番号

D-7638-5F

M-8122-5F

H-8122-5F

⑬ 公開 昭和63年(1988)12月6日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 ショットキ障壁型半導体装置

⑮ 特 願 昭62-131131

⑯ 出 願 昭62(1987)5月29日

⑰ 発 明 者 内 田 陽 子 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 高 谷 信 一 郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

ショットキ障壁型半導体装置

2. 特許請求の範囲

1. 表面の格子配置が内部の格子配置と同じである化合物半導体を用いたショットキ接合を有することを特徴とするショットキ障壁型半導体装置。

2. 上記化合物半導体はガリウム・ヒ素(GaAs)、電極金属はランタンの六硼化物(LaB<sub>6</sub>)である特許請求の範囲第1項に記載のショットキ障壁型半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、化合物半導体を基板として用いたショットキ障壁型半導体装置の電極部の構造に関する。

〔従来の技術〕

希土類元素の六硼化物ReB<sub>6</sub>。(Re:希土類金属)は耐熱性の良い、優れた電極材料であるため、

製造工程に800~850℃でのアニール処理を必要とするガリウム砒素(GaAs)を基板とするショットキ障壁ゲート型電界効果トランジスタ(MES-FET)のゲート電極として用いられている。特にアニール処理後は高いショットキ障壁を示し、半導体装置の安定した動作の原因となっている。この種の形成方法として関連するものには例えば特開昭61-91966号がある。

〔発明が解決しようとする問題点〕

しかるに、上述のReB<sub>6</sub>系の材料は、ReB<sub>6</sub>蒸着時には比較的低いショットキ障壁を示し、アニール処理を施すことができない半導体装置のショットキ電極として使用する場合、半導体装置の動作余裕が小さくなり、歩留りが低いという問題があった。

本発明の目的はReB<sub>6</sub>等の電極金属被覆時に高いショットキ障壁を有するショットキ電極を得ることにある。

〔問題点を解決するための手段〕

上記目的は、化合物半導体として表面格子配置

が内部の格子配置と同じものを用い、それにショットキ電極を形成することにより達成できる。

上記格子配置の化合物半導体は、電極形成前に大気にさらされて表面に自然酸化膜が形成されている場合は自然酸化膜を除去することにより得られる。一方、大気にさらされず自然酸化膜が形成されていない場合は表面欠陥を除去するために半導体構成物質を補い半導体表面構造を制御することにより得られる。また、化合物半導体としてはGaAs等を用いることができる。

電極材料としてはReB<sub>3</sub>等を用いることができ、またReB<sub>3</sub>としては比抵抗を考慮すると、4f希土類元素の六硼化合物が好ましく、特にランタンの六硼化合物(LaB<sub>6</sub>)は融点が2715℃と高く、電気抵抗が単結晶で8.9 μΩ・cm、蒸着膜で20~100 μΩ・cmと低く、且つ熱膨張係数が6.6×10<sup>-6</sup>とGaAsの熱膨張係数と殆ど等しいなどの優れた特性を有し、GaAsを基板として用いた半導体装置の電極材料として好適であるが、他にセリウム(Ce)、プラセオジウム(Pr)、ネ

オジウム(Nd)、ガドリニウム(Gd)、テルビウム(Tb)、イッテルビウム(Yb)の六硼化合物及びそれ等の混晶も高耐熱性電極材料として用いることができる。

#### 〔作用〕

半導体表面の乱れを解消し半導体内部と同様の表面構造<sup>(1×1)構造</sup>を有する化合物半導体としたので、この化合物半導体を用いたショットキ接合は高いショットキ障壁を有する。

#### 〔実施例〕

##### (実施例1)

本発明の実施例1を第1図より説明する。

シリコン、アセトン、アルコール洗浄後、水洗を行ない、表面層を1 μmエッチングにより除去したn型GaAs基板1(不純物濃度=5×10<sup>18</sup>cm<sup>-3</sup>)を真空装置(10<sup>-5</sup>Torr以下)に搬入し、Asビームを照射しながら、基板温度を650℃程度まで上昇させる。この処理により、GaAs表面の自然酸化膜が除去され、表面の格子<sup>2</sup>乱れが解消される。この経過は、反射高エネルギー

電子回折法(RHEED)により観察することができる。自然酸化膜が除去されたとき、RHEEDパターンは(1×1)構造を示す。(1×1)構造を示す基板温度に保ちながら、LaB<sub>6</sub>を蒸着する。あるいは、GaAs表面が(1×1)構造を示している状態でGaAsのダングリングボンドをH<sub>2</sub>ガスにより終結し、基板を室温まで降下させた後、LaB<sub>6</sub>を蒸着する。その後、フォトリソスト膜を用いて電極パターンを形成し、フォトリソスト膜をマスクとして、ショットキ電極2を形成する。上記の方法で作製したショットキダイオードの電流-電圧特性から、障壁の高さ0.9eVが得られる。本実施例によればアニール処理を行わずに既知の材料に比較して高い障壁を有するショットキダイオードを作製することができる。

##### (実施例2)

本発明の実施例2を第2図により説明する。本実施例では電極形成前に半導体表面に自然酸化膜が形成されないようにした。

半結晶性GaAs基板11上に分子線エピタキシ

ヤル法によって、アンドープGaAs層12(膜厚1~5 μm)、アンドープAlGaAs層13(膜厚1~10 μm)、n型AlGaAs層14(膜厚10~100 nm)を成長させた。更に、その上に10~20 nmのアンドープAlGaAs層を成長<sup>1</sup>しても良い。V族元素(As)とIII族元素(Ga, Al)のフラックス比は2~5、成長温度は600~700℃とした。n型不純物としてはSiを用い、そのドーピング濃度は1×10<sup>17</sup>~1×10<sup>18</sup>cm<sup>-3</sup>である。成長後、半導体表面の欠陥を除去するために、Asセル以外のシャッターを閉め、基板温度及びAsビーム強度を制御し、半導体表面を(1×1)構造とした。なお、表面構造はRHEEDによりモニタした。次に実施例1と同様、この状態を保ちながらLaB<sub>6</sub>を蒸着する。あるいは、(1×1)構造を示している状態でAlGaAsのダングリングボンドをH<sub>2</sub>ガスで終結し、基板を室温に降下させ、LaB<sub>6</sub>を蒸着する。その後、エッチング法により、LaB<sub>6</sub>のゲート電極15を作製し、更にソース電極16、ドレ

シン電極17を形成する。上記の方法で作製した高移動度トランジスタは安定したPBT特性を示す。本実施例によれば、動作余裕が大きく、歩留りのよい半導体装置を作製することができるため、集積化が可能である。

#### 〔発明の効果〕

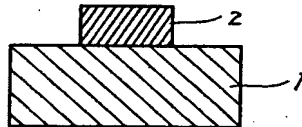
本発明によれば、 $\text{ReB}_3$ 等の電極金属被覆時に化合物半導体との接合部に高いショットキ障壁を形成できるので、アニール処理を施すことができない半導体装置においても、高いショットキ障壁を有する電極を形成できる。その結果、動作余裕が大きく、再現性の高いショットキ障壁型半導体装置を提供することができる。

#### 4. 図面の簡単な説明

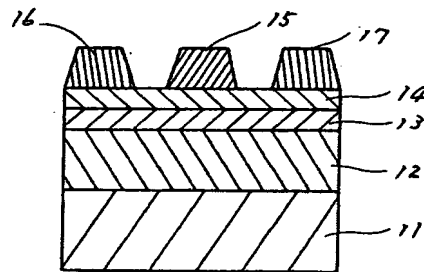
第1図は本発明の実施例1のショットキダイオードの断面図、第2図は本発明の実施例2の高移動度トランジスタの断面図である。

1…n型GaAs基板、2…ショットキ電極、  
11…半絶縁性GaAs基板、12…アンドープGaAs層、13…アンドープAlGaAs層、14…n型AlGaAs層、15…ゲート電極、16…ソース電極、17…ドレイン電極。

第1図



第2図



- |                   |                |
|-------------------|----------------|
| 1 : n型GaAs基板      | 14 : n型AlGaAs層 |
| 2 : ショットキ電極       | 15 : ゲート電極     |
| 11 : 半絶縁性GaAs基板   | 16 : ソース電極     |
| 12 : アンドープGaAs層   | 17 : ドレイン電極    |
| 13 : アンドープAlGaAs層 |                |

代理人 弁護士 小川勝男

